

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10134175 A**

(43) Date of publication of application: 22 . 05 . 98

(51) Int. Cl. **G06T 3/40**
G06F 3/14

(21) Application number: **08286571**

(22) Date of filing: 29 . 10 . 96

(71) Applicant: **SONY CORP**

(72) Inventor: **IWASE SEIICHIRO**
KUROKAWA MASUYOSHI
KANO MAMORU
NAKAMURA KENICHIRO

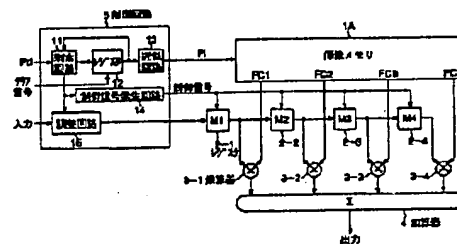
(54) **PROCESSOR AND METHOD FOR IMAGE
 PROCESSING**

(57) Abstract:

PROBLEM TO BE SOLVED: To enlarge or reduce an image at an arbitrary conversion rate.

SOLUTION: A residue circuit 11 outputs a phase variation component Pd supplied from a specific device and the decimal part of the sum of the value of a register 12 to the register 12. An approximation circuit 13 outputs a filter select signal Pi whose phase (x) corresponds to a filter coefficient set corresponding to the phase closest to the value of the register 12 to a coefficient memory 1A. Thus, an optimum filter coefficient set among a specific number of filter coefficient sets is selected for the interpolation of specific pixel data. Then product sum operations between the four filter coefficient sets and four pixel data are performed by multipliers 3-1 to 3-4 and an adder by a Cubic approximating method to calculate an interpolated value of pixels.

COPYRIGHT: (C)1998,JPO



(19)日本特許庁(JP) (12)公開特許公報(A) (11)特許公開公報番号
特開平10-134175
(43)公開日 平成10年(1998)5月22日

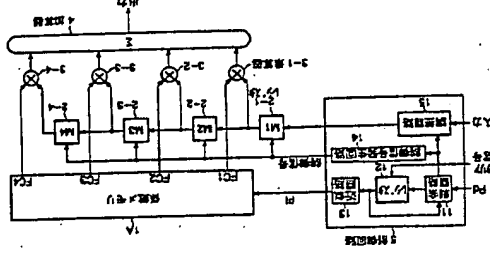
(51)IntCl. ⁴		F I	
G 0 6 T 3/40	G 0 6 F 15/00	3 5 5 C	
G 0 6 F 3/14	3/14	3 1 0 A	

審査請求 未請求 請求項の数19 OL (全31頁)

(21)出願番号	特開平8-28571	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成8年(1996)10月29日	(72)発明者	岩瀬 清一郎 東京都品川区北品川6丁目7番35号 ソニ 株式会社内
		(72)発明者	黒川 恭雄 東京都品川区北品川6丁目7番35号 ソニ 株式会社内
		(72)発明者	加納 豊 東京都品川区北品川6丁目7番35号 ソニ 株式会社内
		(74)代理人	弁理士 橋本 義雄 最終頁に続く

(54)【発明の名称】 画像処理装置および方法

(57)【要約】
【課題】 任意の拡大比率の画像の拡大または縮小を行
うことができるようにする。
【解決手段】 剰余回路11は、所定の装置より供給さ
れた位相変換分P dと、レジスタ12の値の和の小数部
分をレジスタ12に出力する。そして、近似回路13
は、位相xが、レジスタ12の値に最も近い位相に対応
するフィルタ係数セットに対応するフィルタ選択信号P
iを係数メモリ14に出力する。このようにして、所定
の画像データの縮小において、所定の数のフィルタ係
数セットのうち最適なフィルタ係数セットが選択され
る。そして、Cubic近似法に従って、その4つのフ
ィルタ係数セットと、4つの隣接データとの値の積算
が、乗算器3-1乃至3-4と加算器4で行われること
により、縮小の縮小値が算出される。



【特許請求の範囲】
【請求項1】 画像の拡大または縮小に伴う画像データ
の縮小演算を、その縮小演算に対応したハードウェアで
行う演算部と、前記縮小演算に利用されるフィルタ係数
セットを記憶する記憶部とを備える画像処理装置で、
前記記憶部は、所定の分割数で元の画像の画素間隔を分
割したときの各位置に対応するフィルタ係数セットを記
憶し、そのフィルタ係数のうち、前記位相が、前記縮小
演算される画像データの位相に最も近いフィルタ係数セ
ットを前記演算部に出力し、
前記演算部は、前記フィルタ係数セットを利用して、前
記画像データの縮小演算を行うことを特徴とする画像処
理装置。
【請求項2】 前記分割数は、2のべき乗であることを
特徴とする請求項1に記載の画像処理装置。
【請求項3】 画像の拡大または縮小に伴う画像データ
の縮小演算を、その縮小演算に対応したハードウェアで
行う演算部と、前記縮小演算に利用されるフィルタ係数
セットを記憶する記憶部とを備える画像処理装置におけ
る画像処理方法で、
所定の分割数で元の画像の画素間隔を分割したときの各
位置に対応するフィルタ係数セットを記憶している前記
記憶部から、前記位相が、前記縮小演算される画像デー
タの位相に最も近いフィルタ係数セットを前記演算部に
出力し、
前記演算部により、前記フィルタ係数セットを利用し
て、前記画像データの縮小演算を行うことを特徴とする
画像処理方法。
【請求項4】 複数の要素プロセッサに画像データを供
給し、前記複数の要素プロセッサをSIND制御して、
各要素プロセッサで、周辺の要素プロセッサが有する画
素データを利用して、画像の拡大または縮小に伴う画像
データの縮小の処理を並列に行う画像処理装置で、
所定の分割数で元の画像の画素間隔を分割したときの各
位置に対応するフィルタ係数セットのうち、前記位相
が、処理される画像データの位相に最も近いフィルタ係
数セットを、前記要素プロセッサにそれぞれ供給し、
前記要素プロセッサが、前記フィルタ係数セットを利用
して、前記画像データの縮小の処理をそれぞれ行うこと
を特徴とする画像処理装置。
【請求項5】 前記分割数は、2のべき乗であることを
特徴とする請求項4に記載の画像処理装置。
【請求項6】 前記要素プロセッサは、データを1ビッ
トずつ処理する1ビットプロセッサであることを特徴と
する請求項4に記載の画像処理装置。
【請求項7】 前記周辺の要素プロセッサと、前記所定
の要素プロセッサとの位置関係のバターンの極性が最小
になるように、前記複数の要素プロセッサに前記画像デー
タを供給することを特徴とする請求項4に記載の画像
処理装置。

【請求項8】 前記フィルタ係数セットは、前記画像デー
タが供給される際に利用される回路を介して、前記
要素プロセッサに供給されることを特徴とする請求項4
に記載の画像処理装置。
【請求項9】 前記要素プロセッサに接続され、前記フ
ィルタ係数セットを記憶する記憶手段をさらに備えるこ
とを特徴とする請求項8に記載の画像処理装置。
【請求項10】 前記記憶手段は、前記フィルタ係数セ
ットを、前記フィルタ係数セットに対応する位置の画素
に宛てて記憶することを特徴とする請求項9に記載の画
像処理装置。
【請求項11】 前記要素プロセッサは、前記フィルタ
係数セットを記憶する記憶部と、演算を行うALU部を
備え、
各要素プロセッサに割り当てられる画像データの位相信
号に対応した前記フィルタ係数セットが、前記ALU部
を介して前記記憶部に供給されることを特徴とする請求
項4に記載の画像処理装置。
【請求項12】 前記要素プロセッサが前記位相信号を
それぞれ算出することを特徴とする請求項11に記載の
画像処理装置。
【請求項13】 前記ALU部に接続され、前記フィル
タ係数セットを記憶する記憶手段をさらに備え、
前記記憶手段は、前記フィルタ係数セットを、前記フィ
ルタ係数セットに対応する位置の画素に宛てて記憶する
ことを特徴とする請求項11に記載の画像処理装置。
【請求項14】 前記要素プロセッサは、その要素プロ
セッサに割り当てられる画像データの位相信号に対応し
て、縮小に利用されるフィルタ係数セットをそれぞれ算
出することを特徴とする請求項4に記載の画像処理装
置。
【請求項15】 前記要素プロセッサが前記位相信号を
それぞれ算出することを特徴とする請求項13に記載の
画像処理装置。
【請求項16】 前記縮小演算は、Cubic近似法に
応ずる演算であることを特徴とする請求項4に記載の画
像処理装置。
【請求項17】 前記縮小演算として、第1の縮小方式
に従って第1の分割数で第1の縮小演算を行った後、前
記第1の縮小演算の演算結果に対して、第2の縮小方式
に従って第2の分割数で第2の縮小演算を行うことを特
徴とする請求項4に記載の画像処理装置。
【請求項18】 前記画像データは、輝度データと色デ
ータで構成され、
前記色データは、前記輝度データの縮小を行うときに利
用されるフィルタ係数セットに対応する前記分割数より
少ない分割数で元の画像の画素間隔を分割したときの各
位置に対応するフィルタ係数セットを利用して縮小され
ることを特徴とする請求項4に記載の画像処理装置。
【請求項19】 複数の要素プロセッサに画像データを

供給し、前記装置の要素プロセッサをSIMD模式し
て、各要素プロセッサで、周辺の要素または箱小に作ら
れる図素データを用いて、阿波の放たまたは箱小に作ら
れる阿波データの処理を並列に7行阿波処理方法で、
所定の分割数で元の阿波の面素間隔を分けたときの各
位置位相に対応するフィルタ係数セットのうち、前記位相
が、処理される阿波データとの位相に最も近いフィルタ係
数セットを、前記要素プロセッサにそれぞれ供給し、
前記要素プロセッサが、前記フィルタ係数セットを利用
して、前記阿波データの面素間の処理をそれぞれ行うこと
を特徴とする阿波処理方法。

【発明の詳細な説明】

【0001】
【発明の属する技術分野】本発明は、画像処理装置および方法に関する、特に、所定の分割数で元の画像の画素間隔を分割したときに、各位置に対してフィルタ係数セットのうち、位相が、輪郭検算される画素の位相に最も近いフィルタ係数セットを利用し、画素データの輪郭抽出を行う画像処理装置および方法に関する。

【0002】
【従来の技術】テレビジョン受像機などの画像表示器（ディスプレイ）は、CRT（CathodeRay Tube）を用いているものが多い。このようなディスプレイにおいて、各画像方式に対応してアナログ的に画像信号を取り扱い、画像を表示する場合、水平走査回数を変えて対応する必要がある。

【図 003】一方、デジタル的に画像信号を送り扱う場合には、NTSCやPALなどの放送伝送方式に応じて、画像の解像度が異なるので、それらの方式で放送伝送された画像の解像方向と横方向の画素数は、放送伝送方式によって異なる。また、放送伝送方式としては、HDTV方式（高画質方式）に含んでいるいろいろな方式があり、その画素数（解像度）の規格は多岐である。そのため、画像データに対してデジタル処理を行うシステムにおいては、これらのすべての場合、画素数は「単位フィルタ」の伝送方式に対応させる必要がある。

【0004】さらに、最近普及している液晶ディスプレイやプラズマディスプレイにおいては、表示画像の画素数が所定の数に固定されているため、このようなディスプレイを利用する場合においても、原画像の画素数をこれらのディスプレイに対応する画素数に変換するたに時間フィルタが必要となる。

【0005】次に、画像の画素数を変換するための補間フィルタの一例について説明する。

【0006】まず、画像の拡大または縮小、および、本化図被数（西条数）の変換について説明する。

【0007】画像の拡大または縮小と、画像の本化図被数（西条数）の変換（解像度の異なる画像間の被数（西条数）の変換、解像度の異なる画像間の被数（西条数）の変換）は、どちらか、原画像の各画素位置に對して、近

画像において存在しなかった画素のデータを求める演算を行うことにより実現される。従って、同様の演算操作を行う補間フィルタを利用することにより、上述の2つの処理を行うことが可能である。

【0008】図21は、原画像の一部分の一例を示している。図中の丸印は画素の位置を表している。この部分においては、横方向に8画素、縦方向に6画素が含まれている（便宜上、ここでは画素数を小さい値に設定している）。

【0009】次に、この四面像を例えば(10/7)倍に拡大する場合について説明する。なお、倍率は面積ではなく長さの比で表現するものとする。図2の四面像を拡大する場合、表示面像現像は拡大せずに、図案の配列(即ち阿蘇間隔など)を、図21と同一に保つ。そのようにして、拡大の処理を行った場合、その結果の面像は、図22のようになる。この場合、倍率は、 $1.429(=10/7)$ であるので、面像の1辺の長さは、 1.429 倍され、図案数は、約 1.429 増に増加する。

【01010】例えば水平方向（水素查の方向）に対して、原画像においては画素数が8であるが、拡大後には、11または12（ $8 \times 10 / 7 = 11.429$ ）に近い整数）画素になる。従って、拡大後の相似図像における画素の同じ部分に対比する各画素の位置関係は、原画像における位置関係とは異なるので、拡大後の各画素のデータ（輝度や色を表現する）の値は、原画像のそれとは異なることになる。

【0011】図23は、(10/7)倍の倍率で、図16の拡大した場合における、原画像と拡大後の画像における水平方向の画素の位置関係について示している。

【0012】図中、上側のR1(1=1, 2, ...)は、原画像の画素を表しており、下側のQ1(1=1, 2, ...)は、拡大後の補間画素のデータを表している。R1に対応する画素は、Q1に対応する画素は、(10/7)倍の間隔で配置されている。なお、図23は、水平方向の拡大の様子だけを示しているが、垂直方向についても同様であるので、その説明は省略する。

【0013】拡大後の各画素のデータの値は、図23に示すように元の原画像の各画素の位置との対応関係に依り、周辺のいくつかの原画像の画素の値から、補間演算(後述)により算出される。

【0014】次に、画像の大きさを変化させずに、傾斜化変換を例へば（10／7）倍にする場合を考える。この原本被写体被撮像機は、解像度が（10／7）倍だからである。即ち、水準・垂直方向の画素数は、（10／7）倍に変更される。この傾斜化規格に準拠することと等価である。図 21 の原画像は、図 24 に示すように、1 枚元の面には約 1.429 倍の画素数、即ち 1.429 倍の面積を有する。2 枚目の面では、傾斜化された面

【0015】図21の各素素と図22の各素素との対応関係と、図21の各素素と図24の各素素との対応関係は、図23に示すようになり、同一であるので、素素数の多い画像現像に変換する演算操作は、上述の画像の拡大の演算操作と同様に行われる。

【0016】次に、図21の原画像を例えば(10/13)倍に縮小する場合について説明する。

【0017】画像の縮小を行う場合、画像の規格は変えないので、縮小後の画像における画素の配列、即ち画素間の距離は、図2-1に示す原画像と同一になる。

【0018】図25は、図21の原画像を、(10/13)倍に縮小した画像を示している。この場合、倍率は、0.769 (=10/13) であるので、画像の1辺の長さは、0.769倍に縮小し、縮小面を構成する画素数は、約0.769に減少する。

[0019] 例えば、原画像においては水平方向の画素数は8であるが、縮小後の画像においては、水平方向の画素数は7 ($8 \times 100 / 13 = 6.154$) に近い整数) になる。従って、縮小後の相対位置における画像の同一部分に対比する異なる位置関係は、原画像における画素の位置四捨五入によるもので、縮小後の各々の異なる画素の位置四捨五入(角度や色を代表する)の質は、原画像のそれとは異なる。

【0002】図26は、 $(1.0/1.3)$ 倍の倍率で、画像を縮小した場合における、原画像と縮小後の画像における水平方向の画素の画素間隔について示している。

【0003】図中、上側の $R(1=1, 2, \dots)$ は、原画像の画素を示しており、下側の $Q(1=1, 2, \dots)$ は、縮小後の画素間のデータを表している。図中の $R(1/3)$ 倍の画素間隔で表示している。また、図中の $Q(1/3)$ 倍の画素間隔で表示している。よって、図26は、水平方向の縮小の様子だけを示しているが、垂直方向についても同様であるので、その説明は省略す。

【0022】縮小後の各要素のデータの値は、図26に示す。

[0029] 以下、 π は田園型多環十、 $f(x) = s | uc(\pi \times x)$

【0030】しかしながら、実際には、有限時間内に必要の低周波近側1個回圈数を利用する。

【0031】近似の方法としては、最近傍近似法、双-
本近似法、グットマン近似法などが知られている。

【0032】最近近似法においては、式(2)および式(3)を用いて、図29(B)に示すような補間四角を利用して、1画素のデータから、補間後の1画素のデータを算出する。なお、式(2)および図29(B)の仮数 \times は、補間後の画素位置からの水平方向の変位を、原画像の画素間で正規化した値を表すものとする。

【数1】

示すような原画像の各画素との対応関係に応じて、周辺
のいくつかの原画像の画素値から、補間フィルタ演
算、即ち補間関数の畳み込み演算を行うことにより算出
する。

【0023】次に、画像の大きさを変化させずに、拡大・縮小変換を施せば、 $(10/13)$ 倍にする場合を考慮した関数式を求めれば、解像度が $(10/13)$ 倍に下げられる。この拡大・縮小変換は、解像度が $(10/13)$ 倍に下げられる。この場合、解像度は、 $(10/13)$ 倍に変更される。この場合、図 2-1 の原画像は、図 2-7 に示すように、1 像素の面積は約、7.69 倍の面積数、即ち、 0.769 倍の面積に縮小される。

(0024) 図21の各素数と図25の各素数との対応関係と、図21の各素数と図27の各素数との対応関係は、いずれも図26に示すようになり、同一であるので、解像度が低い画像規格に変換する演算操作は、上述の画像の縮小の処理操作と同様に行われる。

(0025) 以上のように、画像の拡大または縮小、および、階調化・四捨五入（画素数）の置換を行う場合、画素像には存在しなかった位置の画素データを算出する補間フィルタが必要となる。

【0026】次に、船舶フィルタにおいて行われる処理について説明する。

【0027】図28に示すように、前面側の基本位置をSとし、前面側の西素Rの位置から距離（位相）だけ離れた位置を、前面により生成する西素Q1の位置（始相点）とすると、西素Q1の位相は、その前面の西素像の西素の位置に對する位相込み演算により算出される。

【0028】「原本化定理」によれば、理想的な「補間」を行う場合、式(1)および図29(A)に示すような \sin 関数を補間関数 $f(x)$ として、無限時間過去の面素から無限時間将来の面素までの見込み値を算出を行う。

$$\begin{cases} f(x)=1 & -0.5 < x \leq 0.5 \\ f(x)=0 & -0.5 \leq x < 0.5 \end{cases} \quad (1)$$
 $\dots \cdot \{2\}$

【0033】第一次近似法においては、式(3)および図29(C)に示すような補間関数を利用して、原画像の2面像のデータから、補間関数の面像のデータを算出する。なお、式(3)および図29(C)の仮設 \times は、原画像の両面像位置からの水平方向の位置を、原画像の水平間隔で正規化した値を表すものとする。また、第一次近似法は、線形補間として良く知られており、加重平均が算出される。

【数2】

データ1割分に相当する位相 (=10/10) を計算するので、今回の位相は、 $4/10 (=7/10 + 7/10 - 10/10)$ となる。

[0073] 即ち、1回のサイクル毎に、位相は、水素、 $7/10$ ずつ変化する。そして、位相はデータ程度として扱われるので、結局、位相は、モジュロ計算されることになる。

[0074] 係数メモリ1は、フィルタ選択係数がP4であるので、図32のP4に対応するフィルタ係数セット(-0.096, 0.744, 0.496, -0.144) (8ビット表現の場合、(-12, 95, 63, -18))を、4つのフィルタ係数FC1, FC2, FC3, FC4として乗算器3-1乃至3-4に出力する。

[0075] そして、乗算器3-1乃至3-4および加算器4により、上述の位相計算が行われ、その結果が、出力データQ3として出力される。

[0076] このとき、制御信号の値が「H」であるので、レジスタ2-1乃至2-4は、次のクロックの立ち上がりタイミングで、データをそれぞれシフトする。[0077] 以下同様にして、図31に示すように、処理が進められていき、出力データQ1が、順次出力される。

[0078] なお、上述の装置を利用して画像の画素数変換などを施した場合、その入力のデータレートと出力のデータレートは画素数の変化に起因して変化してしまう。

[0079] 例えば、上述のように画素数が増える変換においては、出力データのレートは一定になっているものの、入力データ列の収束は、図31の第5サイクルのように、停止することがある。また、画素数が増える変換の場合においては、入力データは一定であるものの、出力データの出力が停止することがある。

[0080] 従って、実際には、図30に示す装置の入出力データを一旦記憶するバッファメモリを設けることにより、データレートを一定に保つようになっている。

[0081] 以上のようにして、(水平方向における)画像の拡大または縮小、および、解像度の変更が、ハードウェア的に(即ち、処理における各演算に対応して構成されている電子回路を利用して)行われている。

[0082] しかしながら、上述のようにハードウェア的に、画像の拡大または縮小、および、解像度の変更を行う装置を利用する場合、画像の変換時に、同時に、行われることが所望される。各画素の処理、テレビジョン信号処理、ノイズ除去などを行うために、別途、各処理に対応する装置が必要となる。

[0083] そこで、例えば、先に提案した特開平7-246627号に記載されているように、SIMD (Single Instruction Multiple Data stream) 形式の並列

プロセッサを利用して、ソフトウェア的に、上述の演算を行う方法が考えられている。

[0084] 図33は、そのような並列プロセッサの構成例を示している。この並列プロセッサは、入力ポインタ21、入力SAM (シリアルアクセスメモリ) 部22、データメモリ部23、ALUアレイ部24、出力SAM部25、出力ポインタ26、および、プログラム制御部27で構成されている。

[0085] 入力SAM部22、データメモリ部23、ALUアレイ部24、および、出力SAM部25は、リアルタイム (直線配列) 型に並列化された要素プロセッサ群を構成している。これらの要素プロセッサ31は、プログラム制御部27が有する1つのプログラムに従って、運動して制御される (即ち、SIMD制御される)。プログラム制御部27は、プログラムメモリや、そのプログラムを進行させるシーケンサ制御回路などを有し、プログラムメモリに予め書き込まれたプログラムに従って、各要素プロセッサ31を発生して、各回路を制御する。

[0086] なお、入力SAM部22、データメモリ部23、出力SAM部25は、主にメモリで構成されている。詳細に説明しないが、図33の装置においては、これらのメモリのための「ロウ (row)」アドレスデコーダは、プログラム制御部27に含まれているものとす。

[0087] 並列化された要素プロセッサ31 (単一エレメント) は、図33において、斜線で示した部分に対応し、複数の要素プロセッサ31が、図中において横方向に配列されている。即ち、図33の斜線の部分だけが、1つのプロセッサに対応する構成要素を有している。

[0088] 次に、図33の画像処理用のリニアアレイ型並列プロセッサの動作について説明する。

[0089] 入力ポインタ21に与えられた入力データ (1画素分の画像データ) は、入力SAM部22に供給される。

[0090] 入力ポインタ21は、1つの入力データに対して1つの要素プロセッサ31だけに、数「H」の1ビット値、即ち入力ポインタ値 (SIP) を出力する。そして、数「H」で指定された要素プロセッサ31の入力SAM部22 (入力SAMセル) に、その入力データが書き込まれる。

[0091] 入力ポインタ値分による、データを供給する要素プロセッサ31の指定は、入力データのクロックごとに図中の左側の要素プロセッサ31から右側の要素プロセッサ31に向けて順次移動するので、入力データは、左側の要素プロセッサ31の入力SAM部22 (入力SAMセル) から、右側の要素プロセッサ31の入力SAMセルに順次供給される。

[0092] 要素プロセッサ31の数は画像データの1水

プロセッサ31が、右隣りの要素プロセッサ31のデータメモリ部23をアクセスすることになる。

[0100] なお、このように動作するとは、FIRデジタルフィルタの実現には特に問題とはならない。また、処理速度が速くない要素プロセッサ31のデータを読み出す場合、プログラムステップは多少増えるが、近傍のプロセッサ間隔を繰り返すことにより、データを読み出す。

[0101] このような動作体を利用して、近傍の要素プロセッサ31が保持するデータを利用して、画像の水平方向のFIRデジタルフィルタ演算を実現することができ。

[0102] なお、このような並列プロセッサにおいては、画面の水平方向の同じ位置の画素のデータは、すべての水平走査期間において、所定の1つの要素プロセッサ31により処理されるので、データを出力SAM部22からデータメモリ部23に転送するときに、水平走査期間ごとに、データを記憶するアドレスを変更することにより、過去の水平走査期間の入力データを、それ以降の水平走査期間まで、データメモリ部23の内部に保持することができ。このようにすることにより、画像の垂直方向のFIRデジタルフィルタについても、その演算に必要なデータをデータメモリ部23に順次保持させていくことができる。

[0103] このようにして、それぞれの要素プロセッサ31は、垂直方向 (水平走査方向) に対して垂直方向 (向) の所定の連続数の画素データを、データメモリ部23の内部に保持し、垂直方向のFIRデジタルフィルタ演算を実現している。

[0104] 以上のようにして1水平走査期間に繰り返されるに、その水平走査期間に演算したデータは、出力SAM部25に転送される。

[0105] このように、1水平走査期間のうちに、入力SAM部22に記憶された入力データのデータメモリ部23への転送、ALUアレイ部24による演算、および、出力SAM部25へのデータの転送が、ビット単位として、これらの処理は、水平走査期間を単位として、順次繰り返される。

[0106] そして、出力SAM部25に転送された出力データは、さらに次の水平走査期間において、出力SAM部25から出力される。

[0107] 以上のように、入力データを出力SAM部22に書き込む入力処理、プログラム制御部27による、入力SAM部22に記憶された入力データのデータのメモリ部23への転送、ALUアレイ部24による演算、および、出力SAM部25への出力データの転送の演算処理、並びに、出力データを入力SAM部25から出力させる出力処理の3つの処理が、各水平走査入力デ

ータに対して行われる。なお、これらの3つの処理は、画像信号の1水平走査期間を単位とするパイプライン処理として実行される。

【0108】1つの水平走査期間の入力データに注目すれば、その入力データに対する3つの処理には、各処理において1水平走査期間に対応する時間が経過する。ここで、合計水平走査期間の3倍に対応する時間がかかるが、3つの処理がパイプライン処理として並行して実行され、平均して、1水平走査期間の入力データあたり1水平走査期間に対応する時間で処理を行うことができる。

【0109】説明が解決しようとする課題。しかしながら、上述の装置においては、所定の画像の画素比をK:1とする。変換後の画素数である1個のフィルタ係数セットが、必要であり、変換比が整数倍化ではない場合、多くのフィルタ係数セットが必要となり、フィルタ係数セットを記憶する記憶部に大容量のものを使用することになるため、装置のコストおよび回路規模を低減することが困難であるという問題を有している。

【0110】また、例えばユーザによる操作などに応じて、変換比率を変化させるようにする場合、複数の変換比率に対応するフィルタ係数セットを使用することが考えられるが、その場合、変換比率の数と変換後の画素数の値に対応するフィルタ係数セットが必要となり、大容量の記憶部が必要となるので、装置のコストおよび回路規模を低減することが困難であるという問題を有している。

【0111】さらに、上述の並列プロセスのように一般的にN1Rデジタルフィルタの実現は可能であるが、細間の演算が必要とされる画像の拡大や縮小を行う場合（同様に、解像度の変換を行う場合）、細間の演算は1Rデジタルフィルタの一種ではあるものの、入力SAM部22に保持されるデータの数と、出力SAM部25に出力されるデータの数が異なるので、入力SAM部22または出力SAM部25において、入力データ1または出力データQ1は、割に配列されない。

【0112】従って、要部プロセス31が、細間の処理に必要な入力画像データ、所定の数の他の要部プロセス31より展開する場合、その要部プロセス31と、他の要部プロセス31との位置関係が、要部プロセス31に異なるので、すべての要部プロセス31が同様の動作を行うSIMD形式の並列プロセスでは、必要なデータを展開することが困難であるという問題を有している。

【0113】例えば、Cubic近似では連続した入力データのうちの4つのデータに対する最小値演算が必要である。例えば、画像を(10/7)倍に拡大する場合、図34に示すように、入力データR1は、割に配列されないため、例えば出力データQ3を抽出するときに

【0121】請求項4に記載の画像処理装置は、所定の分割数で元の画像の画素間隔を分割したときの各位相に対応するフィルタ係数セットのうち、位相が、処理される画素データの位相に最も近いフィルタ係数セットを、要部プロセス31にそれぞれ供給し、要部プロセス31が、フィルタ係数セットを利用して、画素データの細間の処理をそれぞれ行うことを特徴とする。

【0122】請求項19に記載の画像処理方法は、所定の分割数で元の画像の画素間隔を分割したときの各位相に対応するフィルタ係数セットのうち、位相が、処理される画素データの位相に最も近いフィルタ係数セットを、要部プロセス31にそれぞれ供給し、要部プロセス31が、フィルタ係数セットを利用して、画素データの細間の処理をそれぞれ行うことを特徴とする。

【0123】請求項1に記載の画像処理装置において、【0123】請求項19に記載の画像処理方法において、記憶部は、所定の分割数で元の画像の画素間隔を分割したときの各位相に対応するフィルタ係数セットのうち、位相が、処理される画素データの位相に最も近いフィルタ係数セットを、要部プロセス31にそれぞれ供給し、要部プロセス31が、フィルタ係数セットを利用して、画素データの細間の処理をそれぞれ行うことを特徴とする。

【0124】請求項3に記載の画像処理方法において、【0124】請求項3に記載の画像処理方法において、記憶部は、所定の分割数で元の画像の画素間隔を分割したときの各位相に対応するフィルタ係数セットのうち、位相が、処理される画素データの位相に最も近いフィルタ係数セットを、要部プロセス31にそれぞれ供給し、要部プロセス31が、フィルタ係数セットを利用して、画素データの細間の処理をそれぞれ行う。

【0125】請求項4に記載の画像処理装置において、【0125】請求項4に記載の画像処理装置において、記憶部は、所定の分割数で元の画像の画素間隔を分割したときの各位相に対応するフィルタ係数セットのうち、位相が、処理される画素データの位相に最も近いフィルタ係数セットを、要部プロセス31にそれぞれ供給し、要部プロセス31が、フィルタ係数セットを利用して、画素データの細間の処理をそれぞれ行う。

【0126】請求項19に記載の画像処理方法において、【0126】請求項19に記載の画像処理方法において、記憶部は、所定の分割数で元の画像の画素間隔を分割したときの各位相に対応するフィルタ係数セットのうち、位相が、処理される画素データの位相に最も近いフィルタ係数セットを、要部プロセス31にそれぞれ供給し、要部プロセス31が、フィルタ係数セットを利用して、画素データの細間の処理をそれぞれ行う。

【0127】説明の形態の形態。図1は、本発明の画像処理装置の第1の実施の形態の構成例を示している。【0128】係数メモリ1Aは、所定の分割数で元の画像の画素間隔を分割したときの各位相に対応するフィルタ係数セットを記憶するように構成されている。【0129】例えば、分割数を16に設定した場合、係数メモリ1Aは、図2に示すように、正負位置相量×お

よびフィルタ選択信号P1に対応する16個のフィルタ係数セット(FC1、FC2、FC3、FC4)を予め記憶している。

【0130】制御回路5は、画像の処理に伴う、細間後の画素間隔に対応する位相変化分Pdを所定の装置(図示せず)より供給され、その位相変化分Pdに対応して、細間する画素に対応するフィルタ係数セットが選択されるようにフィルタ選択信号P1を発生して、そのフィルタ選択信号P1を係数メモリ1Aに出力するようになされている。

【0131】また、制御回路5は、位相変化分Pdの累加値に対応して、レジスタ2-1乃至2-4に供給される制御信号を生成する。

【0132】制御回路5の制御回路11は、レジスタ12に記憶された値を保持し、その値を剰余回路11および近距離回路13に出力するように構成されている。また、レジスタ12は、1水平走査期間に供給されるクリア信号に対応して、保持する値をリセットする。【0134】制御回路5の近距離回路13は、レジスタ12より供給された値に最も近い正負位置相量×(図2)に対応するフィルタ選択信号P1を係数メモリ1Aに出力するように構成されている。

【0133】制御回路5のレジスタ12は、剰余回路11より供給された値を保持し、その値を剰余回路11および近距離回路13に出力するように構成されている。また、レジスタ12は、1水平走査期間に供給されるクリア信号に対応して、保持する値をリセットする。【0134】制御回路5の近距離回路13は、レジスタ12より供給された値に最も近い正負位置相量×(図2)に対応するフィルタ選択信号P1を係数メモリ1Aに出力するように構成されている。

【0135】制御回路5の制御信号発生回路14は、剰余回路11より所定の信号が供給される場合、係数メモリ1Aの制御信号をレジスタ2-1乃至2-4に出力し、剰余回路11より所定の信号が供給されていない場合、係数メモリ1Aの制御信号を出力するように構成されている。

【0136】制御回路5の制御回路15は、バックアップメモリ(図示せず)を内蔵し、供給される入力画像データ、所定のタイミングでレジスタ2-1に出力するようになされている。制御回路15は、剰余回路11より所定の信号が供給された場合、そのサイクルにおける画素データの出力を停止する。

【0137】なお、レジスタ2-1乃至2-4、係数メモリ1A、および近距離回路14は、図30と同様に構成されているので、その説明を省略する。

【0138】次に、図1の画像処理装置の動作について説明する。

【0139】最初に、位相変化分Pdが制御回路5の剰余回路11に供給される。そして、剰余回路11は、供給された値と、レジスタ12の値の和の小数部分をレジ

スタ12に出力する。なお、このとき、供給された値と、レジスタ12の値の和が1以上である場合、剰余値11は、所定の値より剰余値発生回路14および剰余回路15に出力する。

[0140] そして、近似的に、値相 x が、レジスタ12の値に近い値に近接するフィラメント係数セットに対応するフィラメント係数P1を係数メモリ1Aに出力する。

[0141] このようにして、所定の画素データの補間において、所定の数のフィラメント係数セットのうちの所定のフィラメント係数セットが選択される。

[0142] なお、そのフィラメント係数セットを利用して補間値を算出する動作は、図30のフロー図と同様であるので、その説明を省略する。

[0143] 次に、図3を参照して、例えば、予め係数メモリ1Aに記憶されている16個のフィラメント係数セットを利用して、 $(10/7)$ 倍に画像を拡大するときの補間回路5の動作を説明する。

[0144] 最初に、値相が0である第1番目の補間値Q1(図23)を算出する場合においては、レジスタ12の値は近似的に0に設定されており、その値が近似的に13に供給され、近似的に13は、図2に示すフィラメント係数P1のうち、値相 x が、供給された値0に最も近いフィラメント係数P0($x=0$)を選択し、そのフィラメント係数P0を係数メモリ1Aに出力する。なお、このとき、フィラメント係数P0に対応する値相 x が0、0であり、供給された値と同一であるので、値相に関する誤差は0である。

[0145] また、このとき、剰余回路11には、値相変化分Pd(この場合、Pd=0.7)が供給され、レジスタ12の値0と位相変化分0.7の和の小数部分、即ち、0.7が、レジスタ12に出力される。

[0146] 次に、値相が0.7である第2番目の補間値Q2(図23)を算出する場合、このときのレジスタ12の値は0.7に設定されており、その値が近似的に13に供給され、近似的に13は、図2に示すフィラメント係数P1のうち、値相 x が、供給された値0.7に最も近いフィラメント係数P11($x=0.6875$)を選択し、そのフィラメント係数P11を係数メモリ1Aに出力する。なお、このとき、フィラメント係数P11に対応する値相 x が0.6875であり、供給された値0.7と異なるので、0.0125の位相に関する誤差が発生している。

[0147] また、このとき、剰余回路11には、値相変化分Pd(Pd=0.7)が供給され、レジスタ12の値0.7と位相変化分0.7の和の小数部分、即ち、0.4が、レジスタ12に出力される。

[0148] そして、値相が0.4である第3番目の補間値Q3(図23)を算出する場合、このときのレジスタ12の値は0.4に設定されており、その値が近似的に

第13に供給され、近似的に13は、図2に示すフィラメント係数P1のうち、値相 x が、供給された値0.4に最も近いフィラメント係数P6($x=0.375$)を選択し、そのフィラメント係数P6を係数メモリ1Aに出力する。なお、このとき、フィラメント係数P6に対応する値相 x が0.375であり、供給された値0.4と異なるので、0.025の位相に関する誤差が発生している。

[0149] また、このとき、剰余回路11には、値相変化分Pd(Pd=0.7)が供給され、レジスタ12の値0.4と位相変化分0.7の和の小数部分、即ち、0.1が、レジスタ12に出力される。

[0150] 以下同様にして、第4番目乃至第10番目の補間値Q1が算出されていく。第11番目の補間値Q11を算出するとき、補間する画素の位相が0に近づくので、この場合においては、16個のフィラメント係数セットのうち、合計10個のフィラメント係数セットが利用される。

[0151] 位相変化分Pdは数値比 $K:L$ のLによって決まるので、上述の位相変化分Pdの値を変更するだけで、異なる変換比率の画像の拡大または縮小を行うことができる。

[0152] なお、このように変換比率に拘わらず、所定の数のフィラメント係数セットを利用する場合、上述のように位相の誤差が発生するが、元々、補間回路として、 $\sin c$ 関数を大幅に近似したものを用いているので、この程度の位相の誤差は、ほとんど問題とはならない。なお、必要に応じて、画素間隔の分割数を大きくしてもよい。

[0153] 以上のように、第1の実施形態においては、任意の変換比率で、ハードウェア的に画像の拡大または縮小を行うことができる。

[0154] なお、上述の説明においては、画素間隔の分割数が16に設定されているが、勿論、他の分割数でもよい。

[0155] また、上述の位相変化分Pdは、小数で表現されているが、画素間隔を分割数で除算して得られる単位位相で、その小数を除算した整数値を位相変化分としてもよい。その場合、分割数を2のべき乗にすることにより、剰余回路11による剰余を算出する処理が簡便になる。即ち、その場合、剰余回路11は、上位ビットを捨棄するようにした2進数の加算器で実現することができ、また、その場合、近似的に13は、出なる画素間隔のため四捨五入を行う回路でよい。

[0156] さらに、上述のように、分割数に対応する数(今の場合、16個)のフィラメント係数セットのうち、所定の数(今の場合、10個)のフィラメント係数セットが使用される場合、係数メモリ1Aが、使用されるフィラメント係数セットだけを記憶するようにしてもよい。その場合、係数メモリ1Aの記憶容量を節約することができ、

また、

[0157] 図4は、本発明の画像処理回路の第2の実施形態の構成を示している。

[0158] 入力ポインタ21は、要素プロセッサ31毎に、入力SAM部22に、入力データを受け取るか否かを示す入力ポインタ番号を出力するようになされている。なお、この入力ポインタ21は、例えば特開平8-123683号公報に記載されているものと同一に、入力データを選択的に要素プロセッサ31に供給させることができ、

[0159] 入力SAM部22は、要素プロセッサ31毎に、所定の入力データを保持する記憶部を有し、入力ポインタ21より供給されるSIP番号に対応して、入力データを記憶するようになされている。また、入力SAM部22は、プログラム制御部27Aより、SIR番号を受け取ると、保持しているデータを、データメモリ23に出力するようになされている。

[0160] データメモリ部23は、要素プロセッサ31毎に、所定のデータを保持する記憶部を有し、プログラム制御部27Aより、SWA番号を受け取ると、入力SAM部22またはALUレイアウト24より供給されたデータを記憶部に記憶し、メモリ読み出しアクセス番号(SRAA, SRBA)を受け取ると、そのデータをALUレイアウト24に出力するようになされている。

[0161] ALUレイアウト24は、要素プロセッサ31毎に、所定のALU(Arithmetic and Logical Unit) 81を有し、データメモリ部23より供給されるデータに対して、プログラム制御部27Aより供給されるALU制御番号(SALU-CONT)に対応する演算を行うようになされている。

[0162] 出力SAM部25は、要素プロセッサ31毎に、所定の出力データを保持する記憶部を有し、プログラム制御部27Aより供給される出力SAM番号込み番号(SOW)を受け取ると、ALUレイアウト24からの出力データをその記憶部に記憶するようになされている。また、出力SAM部25は、出力ポインタ26より供給される出力ポインタ番号(SOP)に対応して、保持しているデータを出力するようになされている。

[0163] 出力ポインタ26は、要素プロセッサ31毎に、出力SAM部25に、出力データを出力するか否かを示すOPI番号を出力するようになされている。なお、この出力ポインタ26は、例えば特開平8-123683号公報に記載されているものと同一に、要素プロセッサ31から選択的にデータを出力させることができる。

[0164] プログラム制御部27Aは、所定のプログラムに従って各種制御し、後述の各種動作を行わせるようになされている。

[0165] 図5は、要素プロセッサ31の構成例を示している。図5の要素プロセッサ31は、様々な用途に

利用できる汎用的なプロセッサ形態として構成されている。入力バッファメモリ(IQ)41は、図4の入力SAM部22の1要素プロセッサ分に対応し、入力データを記憶する。データメモリ(RF)42は、図4のデータメモリ部23の1要素プロセッサ分に対応し、前記途中のデータなどを記憶する3ポートメモリである。出力バッファメモリ(OQ)44は、図4の出力SAM部25の1要素プロセッサ分に対応し、出力データを記憶する。

[0166] 演算部(ALU)43は、図4のALUレイアウト24の1要素プロセッサ分に対応し、データメモリ42より供給されるデータに対して各種演算を行い、その演算結果をデータメモリ42または出力バッファメモリ44に出力する。

[0167] 図5の要素プロセッサ31においては、入力データは、入力バッファメモリ41に一旦入力され、その後、データメモリ42に転送される。演算部43は、データメモリ42より必要に応じて供給される、新たに記憶されたデータ、過去に記憶されたデータ、演算途中のデータなどに対して各種演算を行い、再びデータメモリ42に書き込むという作業を、プログラムに対応して繰り返す。その演算結果は、出力バッファメモリ44に転送され、所定の速度でフォーマットで出力される。

[0168] なお、要素プロセッサ31においては、入力SAM部22、データメモリ部23、および、出力SAM部25が、メモリの「カラム」を構成している。また、ALUレイアウト24は、1ビットALUであり、フルadder(全加算器)を主体とした回路構成を有している。従って、普通の前記パーソナルコンピュータなどに利用されているワード単位に処理を行うプロセッサとは異なり、この要素プロセッサ31は、ビット処理プロセッサであり、ビットを単位として処理を行う。

[0169] ビット処理プロセッサは、1プロセッサあたりのハードウェアの規模が小さいので、並列性を大きくすることができ、従って、画像処理用の非演算プロセッサは、要素プロセッサ31の直列配列の並列数が、例え倍の一水準で並列化した場合でも同一もしくはそれよりも多く設計されている。

[0170] 図6は、上述の要素プロセッサ31の詳細な回路構成の一例を示している。なお、図6の各セルの構造は、理解を容易にするために非常に一般的なものと記述されている。また、同じ回路が複数並ぶ部分として、1つの回路(1ビットの回路)で代表して記述されている。

[0171] 入力SAM部22の1つの要素プロセッサ31に対応する部分は、入力ポインタ21に制御され、入力データのビット数18ビットに対応して、18個の1ビットを記憶する入力SAMセル22-1乃至22-18で構成されている。なお、図6においては、18

B側の入力SAMセル22-1乃至22-15Bの代りに、1つのセル22-1が記憶されている。

[0172] 入力SAMセル22-1においては、トランジスタT1のゲート端子は、入力ポインタ21に接続され、トランジスタT1の他の2つの端子は、入力データバス65または1ビットのデータを記憶するコンデンサC1の一端に接続されている。

[0173] また、トランジスタT2のゲート端子は、プログラム制御部27Aに接続されており、SIR信号を供給され、トランジスタT2の他の2つの端子は、書き込みビット線63およびコンデンサC1の一端にそれぞれ接続されている。

[0174] コンデンサC1の一端は、トランジスタT1、T2に接続され、他端は、接地されている。

[0175] データメモリ部23の1つの要素プロセッサ31に接続する部分は、作動メモリとして必要なビット線MBに接続されている。なお、図6において、MB側のデータメモリセル23-1乃至23-MBの代わりに、1つのセル23-1が記憶されている。

[0176] データメモリ部23のデータメモリセル23-1(i=1, ..., MB)は、2本の書き込みビット線61、62と1本の書き込みビット線63を有する3ポートメモリである。

[0177] データメモリセル23-1においては、トランジスタT1のゲート端子は、プログラム制御部27Aに接続されており、SWA信号を供給され、トランジスタT1の他の2つの端子は、書き込みビット線63および1ビットのデータを記憶するコンデンサC1の一端にそれぞれ接続されている。

[0178] コンデンサC1の一端は、トランジスタT1、T2のゲート端子と、トランジスタT1に接続され、他端は、接地されている。

[0179] トランジスタT1、T2の両方の2つの端子は、接地点、および、駆動Rを介して電源（図示せず）にそれぞれ接続されている。なお、駆動Rは省略してもよい。

[0180] トランジスタT1、T2のゲート端子は、プログラム制御部27Aに接続されており、SRAA信号を供給され、トランジスタT1、T2の両方の2つの端子は、トランジスタT1、T2と駆動R、および、読み出しビット線61にそれぞれ接続されている。

[0181] トランジスタT1、T2のゲート端子は、プログラム制御部27Aに接続されており、SRBA信号を供給され、トランジスタT1、T2の両方の2つの端子は、トランジスタT1、T2と駆動R、および、読み出しビット線62にそれぞれ接続されている。

[0182] ALUアレイ部24の1つの要素プロセッサ31に接続する部分は、図6におけるALUセル24A（ALU部）である。ALUセル24AのALU81

は、1ビットALUであり、全加算器（フルアダー）などの回路構成を有し、フリップフロップ82-1乃至82-3の出力供給される1ビットの値に対して演算を行う。その演算結果をセレクト83に出力する。

[0183] また、ALUセル24Aは、ALU81に供給される1ビットの値を保持するフリップフロップ82-1乃至82-3、フリップフロップ82-1乃至82-3に供給される値を選択するセレクト（SEL）84-1乃至84-3を有している。

[0184] 出力SAM部25の1つの要素プロセッサ31に接続する部分は、出力ポインタ26に制御され、出力信号ポート（OSB）に対して、OSB側の出力SAMセル25-1乃至25-OSBで構成されている。なお、図6においては、出力SAMセル25-1乃至25-OSBの代わりに、1つのセル25-1が記憶されている。

[0185] 出力SAMセル25-1においては、トランジスタT7のゲート端子は、プログラム制御部27Aに接続されており、SOW信号を供給され、トランジスタT7の他の2つの端子は、書き込みビット線63A、および、1ビットのデータを記憶するコンデンサC4の一端にそれぞれ接続されている。

[0186] コンデンサC4の一端は、トランジスタT7、T8に接続され、他端は、接地されている。

[0187] トランジスタT8のゲート端子は、出力ポインタ26に接続され、トランジスタT8の他の2つの端子のうちの一端は、コンデンサC4とトランジスタT7に接続され、残りの一端は、出力データバス6に接続されている。

[0188] 要素プロセッサ31に接続されているすべてのワーディングは、それぞれ配列されている他の要素プロセッサ31にも接続されており、SIR信号、SWA信号、メモリ読み出しアクセス信号（SRAA、SRBA、SOW）などすべての要素プロセッサ31に伝送する。なお、これらのワーディングは、図4のプログラム制御部27A内でアドレスデコードされている。

[0189] また、入力データバス65は、すべての要素プロセッサ31の入力SAMセル22-1に接続され、出力データバス68は、すべての要素プロセッサ31の出力SAMセル25-1に接続されている。

[0190] また、図4のメモリ28（記憶手段）は、起動時、水平制御線、垂直制御線などに外部の制御用CPU（図示せず）などより供給される、すべての要素プロセッサ31におけるフィルタ演算に必要なすべての同期フィルタ演算のデータを、要素プロセッサ31の番号順に保持するように構成されている。即ち、メモリ28は、第1の演算の形態の演算メモリ1Aと同様に、予め設定された分岐数だけのフィルタ演算セットを記憶している。

[0191] 次に、この要素プロセッサ31におけるデ

ータの転送および演算について説明する。

[0192] 入力ポインタ21により指定された要素プロセッサ31の入力SAMセル22-1においては、トランジスタT1がオン状態になり、コンデンサC1の端子電圧が、入力データバス65（およびバッファ71）を介して供給される入力データに定電圧になる。

[0193] このようにして、入力データが、指定された要素プロセッサ31の入力SAMセル22に記憶される。

[0194] 次に、プログラム制御部27Aより供給されるSIR信号により選択された入力SAMセル22-1においては、トランジスタT2がオン状態となり、コンデンサC1の端子電圧に定電圧データ信号が書き込まれる。

[0195] このとき、SBC信号がバッファ72に供給されるとともに、SWA信号が、所定のデータメモリセル23-1のトランジスタT1に供給され、トランジスタT1がオン状態になることにより、コンデンサC1の端子電圧が、入力SAMセル22-1のコンデンサC1に記憶されているデータに定電圧になる。

[0196] なお、ALUセル24Aからのデータをデータメモリセル23-1に書き込む場合は、SBCA信号が、バッファ73に供給される。

[0197] このデータ転送は、書き込みビット線63を介して、1サイクルに1ビットずつ行われる。入力SAM部22の各入力SAMセル22-1からデータを記憶する各データメモリセル23-1の端子電圧を、データメモリ部23の各データメモリセル23-1の端子電圧に書き込み出すときに利用されるSIR信号と、データメモリ部23の各データメモリセル23-1の端子電圧に書き込むときに利用されるSWA信号は、同じアドレス空間内のアドレスを示しており、それぞれロウデコードでデコードされてワード線として与えられている。

[0198] そして、ALUセル24Aは、データメモリ部23に、上述のようにして書き込まれた入力データや演算結果のデータ、あるいは、フリップフロップ82-1乃至82-3に記憶されているデータを用いて、ビット単位の演算処理を順次行う。

[0199] 例えば、データメモリ部23の所定のビットに対応するデータメモリセル23-1のデータと、他のビットに対応するデータメモリセル23-1のデータを加算して、さらに他のビットに対応するデータメモリセル23-1に演算結果を書き込む場合は、次のように動作する。

[0200] プログラム制御部27Aは、データメモリ部23の所定のビットに対応するデータメモリセル23-1にSRAA信号を供給し、そのセルのトランジスタT1をオン状態にして、コンデンサC1に記憶されているデータを一時的に読み出しビット線61に出力させる。

[0201] 同時に、プログラム制御部27Aは、他のビットに対応するデータメモリセル23-1にSRBA信号を供給し、そのセルのトランジスタT1をオン状態にして、コンデンサC1に記憶されているデータを、他方の読み出しビット線62に出力させる。

[0202] これら2つの読み出されたデータは、ALUセル24Aのセレクト84-1乃至84-3を介して、ALU81に供給される。そして、ALU81は、それらのデータに対して所定の演算を行い、その演算結果を、セレクト83を介してフリップフロップ85に供給する。

[0203] そして、プログラム制御部27Aは、SRAA信号を供給して、フリップフロップ85から演算結果を書き込みビット線63に出力させ、SWA信号を供給して、コンデンサC1の端子電圧に定電圧データ信号を供給し、そのセル23-1のトランジスタT1をオン状態にして、コンデンサC1の端子電圧を、その演算結果に対応する電圧にする。

[0204] なお、ALUセル24Aにおける演算動作は、プログラム制御部27Aより供給されるALU制御信号（SALU-CONT）に従って行われる。ALUセル24Aにおける演算結果は、上述のようにデータメモリ部23に書き込まれるか、あるいは、必要に応じてALUセル24Aのフリップフロップ82-3に記憶される。また、ALU81における演算結果が加算の場合は、ALUセル24Aは、演算結果におけるキャリーをフリップフロップ82-3に、サムをデータメモリ部23に出力する。

[0205] 次に、データメモリセル23-1よりデータを出力させる場合、プログラム制御部27Aは、出力するデータを記憶しているデータメモリセル23-1に、メモリアクセス信号（SRAAあるいはSRBA）を供給して、そのセル23-1のトランジスタT1をオン状態にして、コンデンサC1に記憶されているデータを読み出しビット線61または62に出力する。

[0206] そして、プログラム制御部27Aは、ALUセル24Aに、所定の制御信号を供給し、データメモリセル23-1からのデータを、出力SAMセル25-1に転送させる。このとき、プログラム制御部27Aは、その出力SAMセル25-1のコンデンサC4にデータを供給するように、SOW信号を出力し、そのセルのトランジスタT1をオン状態にして、コンデンサC4の端子電圧を、そのデータに定電圧にする。

[0207] なお、データは、書き込みビット線63を経由して、1ビットずつ転送される。このとき、データに対して、ALU81により何らかの処理を行ってもよい。

[0208] また、出力SAM部25の各出力SAMセル25-1にデータを記憶させるときに利用するSOW

【0246】次に、ステップS29において、要素プロセッサ31は、左2つ隣りの要素プロセッサ31のデータR₂と、フィルタ係数FC1の値を演算し、その演算結果をY₁₀に代入する。

【0247】ステップS30において、要素プロセッサ31は、自分に供給されたデータR₀と、フィルタ係数FC2の値を演算し、その演算結果をY₉に代入する。

【0248】そして、ステップS31において、要素プロセッサ31は、Y₁₀とY₉の和を演算し、その演算結果をY₁₀に代入する。

【0249】次にステップS32において、要素プロセッサ31は、右隣りの要素プロセッサ31のデータR₁と、フィルタ係数FC3の値を演算し、その演算結果をY₁₀に代入する。

【0250】そして、ステップS33において、要素プロセッサ31は、Y₁₀とY₉の和を演算し、その演算結果をY₁₀に代入する。

【0251】次にステップS34において、要素プロセッサ31は、右2つ隣りの要素プロセッサ31のデータR₂と、フィルタ係数FC4の値を演算し、その演算結果をY₁₀に代入する。

【0252】ステップS35において、要素プロセッサ31は、Y₁₀とY₉の和を演算し、その演算結果をY₁₀に代入する。このとき、Y₁₀の値は、 $R_2 \times FC1 + R_1 \times FC2 + R_0 \times FC3 + R_{-1} \times FC4$ であり、図10の図4のバターンに対応している。

【0253】そして、ステップS36において、要素プロセッサ31は、入力データR1とともに供給された、上述の位置関係を示す値（0または1）を参照して、その値が第1の値（図10の図2に対応する値）であるかを判断し、その値が第1の値であると判断した場合、ステップS37に進み、ステップS28のY₁₀を演算結果とし、上述の位置関係を示す値が、第1の値ではないと判断した場合（即ち、図10の図4に対応する値である場合）、ステップS35のY₁₀を演算結果とする。

【0254】以上のようにして、2種類の位置関係に対応して近隣の要素プロセッサ31のデータを利用してフィルタ演算（補間演算）が行われる。そして、上述のように位置関係が小さくなるようにフィルタ係数セットを選択することにより、SIMD形式の並列プロセッサにおいても、任意の乗算に準じた演算処理を行うことができる。

【0255】なお、セレクタを設けて、メモリ28からフィルタ係数セットおよび入力データR1のいずれか一方を、入力SAM部22に供給させるようにすることにより、例えば、垂直移動期間などの入力SAM部22が入力データR1の供給に利用されていない期間に、フィルタ係数セットを入力データと同様に供給するようにしてもよい。

【0256】このようにすることにより、入力データと同一のビット数のバス65を利用して、フィルタ係数の供給を行うことができるので、ビット数の大きい（幅広の）フィルタ係数を短時間で供給することができ、る。

【0257】例えばフィルタ係数のビット数が10である場合、4つのフィルタ係数のセットは合計40ビットのデータであるので、例えば16ビットの入力データバス65および入力SAM部22を介してデータメモリ部23に、垂直移動期間内で、フィルタ係数を供給することが十分可能である。

【0258】なお、第2の実施の形態においては、フィルタ係数セットは、入力データR1とは異なるパターンで入力SAM部22に供給されるので（フィルタ係数は、その順序通りに、各要素プロセッサ31に供給されるので）、入力データと並行してフィルタ係数を供給する場合、2系統の入力SAM部22のポインティング制御の回路を設け、入力データR1に対するポインティング制御を行うようにする。

【0259】また、この入力データの供給の順序は、図30の図5におけるデータの投入と同様にして実現してもよい。あるいは、特開平8-123683号公報に記載されている方法を利用して、種々な状態になるようにデータを一旦供給し、その後、プログラムに従って所定のデータをコピーするようにして実現してもよい。

【0260】図13は、本発明の第3の実施の形態の構成を示している。第3の実施の形態においては、メモリ29（記憶手段）は、図4のメモリ28と同様に、所定の分選値に対応するフィルタ係数セットのデータを保持するようになされている。また、メモリ29は、プログラム制御期間などにおいて、フィルタ係数セットを、そのフィルタ係数セットに対応する位置の演算の値を算出する要素プロセッサ31のALUアレイ部24を介してデータメモリ部23に供給する。

【0261】メモリ28Aは、各要素プロセッサ31に対応して、その要素プロセッサ31により算出される演算の位置に対応するフィルタ係数セット1（即ち、位相×補間する演算の位置に最も近いフィルタ係数セットのフィルタ係数値が1に対応する番号1）を保持する。そのフィルタ係数値が1は、第2の実施の形態のフィルタ係数セットと同様に、入力データバス65を介して、入力データR1とともにデータメモリ部23に供給される。

【0262】なお、メモリ28A、29に記憶されているデータは、外部の制御用CPUにより、起動時などに予め供給されるものとする。

【0263】プログラム制御期間27Bは、各要素制御し、後述の動作を行わせるようになされている。

【0264】なお、その他の構成要素は、第2の実施の形態のものと同様であるので、その説明を省略する。

【0265】なお、メモリ28Aに保持されているフィルタ係数値が1は、例えば起動時に、入力データバス65および入力SAM部22を介してデータメモリ部23に予め供給されているものとする。

【0266】例えば、画素間隔の分割数（即ち、フィルタ係数セットの幅）が16である場合、メモリ28Aは、水平方向の画素数に同様に、16種類の位置に対応する16個のフィルタ係数値を記憶していればよい。即ち、フィルタ係数値が1は6個存在する場合、そのフィルタ係数値は、4ビットの2進数で表現することができ、メモリ28Aは、フィルタ係数値1として4ビットのデータを記憶する。

【0267】また、フィルタ係数値が1は、000個（0267）であり、10ビットの2進数で表現することのできる。第2の実施の形態のように、フィルタ係数を入力SAM部22を介して供給する場合より、メモリ28Aの容量を低減することができる。

【0268】図14は、各要素プロセッサ31のデータメモリ部23に記憶されているフィルタ係数値1（ $1_{16}, \dots, 1_{64}$ ）の一例を示している。図14のデータメモリ部23においては、16種類のフィルタ係数値のうち、10種類のフィルタ係数値1（ $1_0, \dots, 1_9$ ）が、4ビットのデータとして記憶され、例えば、番号が6である要素プロセッサ31のデータメモリ部23には、フィルタ係数値1が3である4ビットのデータ（ $6_{31}, \dots, 6_{31}$ ）が記憶されている。

【0269】次に、図15のプロチャート参照して、第3の実施の形態において、フィルタ係数セットを、各要素プロセッサ31のデータメモリ部23に供給する、各要素の動作について説明する。

【0270】最初にステップS41において、プログラム制御期間27Bは、供給するフィルタ係数セットに対応するフィルタ係数値1をカウントするカウンタjの値を0に設定する。

【0271】次に、ステップS42において、プログラム制御期間27Bは、カウンタjの値をビット単位で供給するときに利用するカウンタmの値を1に設定する。【0272】そして、プログラム制御期間27Bは、すべての要素プロセッサ31のALUアレイ部24Aに、カウンタjの値の第m番目のビットの値を出力し、各要素プロセッサ31のALUアレイ部24Aは、そのビットの値を受け取る。

【0273】ステップS44において、プログラム制御期間27Bは、カウンタmの値がカウンタjのビット長以上であるかを判断し、カウンタmの値がカウンタjのビット長より小さいと判断した場合、ステップS45において、カウンタmの値を1だけ増加させた値、ステ

ップS43に戻り、次のビットの供給を行う。

【0274】このようにして、カウンタjの値は、1ビットずつ各要素プロセッサ31に供給される。

【0275】一方、ステップS44においてカウンタmの値がカウンタjのビット長以上であると判断された場合、カウンタjの値が供給されたことになり、ステップS46において、各要素プロセッサ31は、受け取ったカウンタjの値と、予めメモリ28Aより供給されたフィルタ係数値1の値が同一であるかを判断し、同一である場合、例えば、その判断に対応してフラグを設定し、ステップS47に進む。

【0276】ステップS47において、各要素プロセッサ31は、そのフラグに対応して、供給されたフィルタ係数セットのビット数をカウントするカウンタkの値に設定する。

【0277】そして、ステップS48において、各要素プロセッサ31は、メモリ29より出力された、フィルタ係数セットの第k番目のビットの値をALUアレイ部24Aで受け取り、データメモリ部23に記憶させる。

【0278】なお、メモリ29においては、各位相（即ち、フィルタ係数値1）に対応するフィルタ係数セットが、係数値に、最上位ビット（MSB）または最下位ビット（LSB）から順次に記憶されており、フィルタ係数セットは、上述のように1ビットの回線を介して、1ビットずつ要素プロセッサ31のALUアレイ部24Aに順次出力される。

【0279】そして、ステップS49において、各要素プロセッサ31は、カウンタkの値がフィルタ係数セットのビット長以上であるかを判断し、カウンタkの値がフィルタ係数セットのビット長より小さいと判断した場合、ステップS50において、カウンタkの値を1だけ増加させた後、ステップS48に戻り、フィルタ係数セットの次のビットの供給を行う。

【0280】一方、ステップS49においてカウンタkの値がフィルタ係数セットのビット長以上であると判断された場合、カウンタjの値に対応するフィルタ係数セットの供給が終了したことになるので、ステップS51に進む。

【0281】一方、ステップS46において、要素プロセッサ31が、カウンタjの値と、予めメモリ28Aより供給されたフィルタ係数値1の値が同一ではないと判断した場合（即ち、フラグが立っていない場合）、その要素プロセッサ31は、メモリ29より出力されたフィルタ係数セットを受け取らず、即ち、データメモリ部23に記憶せず、ステップS47乃至S50をスキップする。なお、実際には、SIMD制御において処理のスキップを行うことは困難であるので、要素プロセッサ31は、ステップS47乃至S50をスキップした場合と同一の結果になるように処理を行う。

【0282】次に、ステップS51において、プログラ

ム制御部27日は、カウンタjの値が、フィルタ係数セットの値Nより1だけ減算した値以上であるか否かを判断し、カウンタjの値が、フィルタ係数セットの値Nより1だけ減算した値以上(すなわちN-1)であるか判断した場合、N回のフィルタ係数セットのうちのいずれか1組を、各要素プロセッサ31に供給されたこととなるので、フィルタ係数セットの供給の処理を終了する。

[0283] 一方、プログラム制御部27日は、カウンタjの値が、フィルタ係数セットの値Nより1だけ減算した値より小さい(すなわちN-1)と判断した場合、ステップS52において、カウンタjの値を1だけ増加させて、ステップS42に戻り、次のフィルタ係数セット1に対応するフィルタ係数セットの供給を行う。

[0284] このようにして、各要素プロセッサ31は、予め供給されているフィルタ係数セット1に対応するフィルタ係数をメモリ29より受け取り、データメモリ23に記憶させる。

[0285] このように、フィルタ係数セットを入力データR1とは別の経路で供給することにより、フィルタ係数セットを選択的に要素プロセッサ31に供給することとを、多くのプログラムシステムを必要とすることなく、容易に実現することができる。

[0286] メモリ29に記憶されている例えは16組のフィルタ係数セットのうちいずれかを各要素プロセッサ31に供給する場合、1つのフィルタ係数セットが、すべての要素プロセッサ31の約1/16分の1の要素プロセッサ31に同時に供給されるので、フィルタ係数セットが例えは40ビットであるとき、要素プロセッサ31の数は拘わらず、640(=40×16)ステップの動作で、すべての要素プロセッサ31にフィルタ係数セットを供給することができる。

[0287] なお、画像データの処理を行うときの動作は、第2の実施の形態のものと同様であるので、その説明を省略する。

[0288] 以上のように、第3の実施の形態においては、フィルタ係数セットを、入力データととは別の経路で供給するので、入力SAM部22の稼働状況に拘わらず、フィルタ係数セットを供給することができる。

[0289] なお、第3の実施の形態においては、変換比率を変更する場合、メモリ28Aに記憶されている、各要素プロセッサ31に対応するフィルタ係数セット1を変更すればよい。

[0290] 次に、本発明の第4の実施の形態について説明する。第4の実施の形態においては、各要素プロセッサ31が、フィルタ係数セット1に対応して、各要素プロセッサ31で、フィルタ係数セットを算出するようになされている。

[0291] なお、第4の実施の形態の構成およびフィルタ係数セットの動作は、第2の実施の形態と同様であるので、その説明を省略する。ただし、メモリ28は、第3

の実施の形態のメモリ28Aと同様にフィルタ係数セット1を記憶しているものとする。

[0292] 従って、変換比率を変更する場合、メモリ28Aに記憶されている、各要素プロセッサ31に対応するフィルタ係数セット1を変更すればよい。

[0293] 次に、図16および図17のフローチャートを参照して、第4の実施の形態において、フィルタ係数セットを算出するときの各部の動作について説明する。なお、ここでは、式(4)のCub1c近似法におけるフィルタ係数セットを算出する。勿論、他の近似法におけるフィルタ係数セットを算出するようにしてもよい。

[0294] 最初に、ステップS61において、要素プロセッサ31は、両側の変換比率をK/1倍とすると、予め供給されているフィルタ係数セット1とKより、値を算出する両側の値1/Kを算出し、Xとして記憶する。なお、Kおよび1は、プログラム制御部27Aより供給される。

[0295] 次に、要素プロセッサ31は、ステップS62において、XをXに代入し、ステップS63において、Xの2乗(X×X)を演算し、その演算結果をXとして記憶する。

[0296] さらに、ステップS64において、要素プロセッサ31は、XとXの積(即ち、Xの3乗)を演算し、その演算結果をXとして記憶する。

[0297] そして、ステップS65において、要素プロセッサ31は、式(4)を利用して、X、X₂およびX₃より、式(4)に従ってフィルタ係数FC3を算出する。

$$FC3 = -X_3 + 5X_2 - 8X + 4 \quad (5)$$

[0298] 次に、ステップS66において、要素プロセッサ31は、X₀(=1/K)に1だけ加算した値を、Xに代入する。

[0299] そして、要素プロセッサ31は、ステップS67において、Xの2乗(X×X)を演算し、その演算結果をXに代入し、ステップS68において、XとXの積(即ち、Xの3乗)を演算し、その演算結果をXとして記憶する。

[0300] ステップS69において、要素プロセッサ31は、式(4)を利用して、X、X₂およびX₃より、式(4)に従ってフィルタ係数FC4を算出する。

$$FC4 = X_3 - 2X_2 + 1 \quad (6)$$

[0301] 次に、ステップS70において、要素プロセッサ31は、1からX₀を減算した値をXに代入する。

[0302] そして、要素プロセッサ31は、ステップS71において、Xの2乗(X×X)を演算し、その演算結果をXに代入し、ステップS72において、XとXの積(即ち、Xの3乗)を演算し、その演算結果をXに代入する。

[0303] ステップS73において、要素プロセッサ31は、式(4)を利用して、X、X₂およびX₃より、式(4)に従ってフィルタ係数FC2を算出する。

$$FC2 = -X_3 + 5X_2 - 8X + 4 \quad (7)$$

[0304] 次に、ステップS74において、要素プロセッサ31は、Xに1だけ加算した値(2-1/K)を算出し、その演算結果をXに代入する。

[0305] そして、要素プロセッサ31は、ステップS75において、Xの2乗(X×X)を演算し、その演算結果をXに代入し、ステップS76において、XとXの積(即ち、Xの3乗)を演算し、その演算結果をXに代入する。

[0306] ステップS77において、要素プロセッサ31は、式(4)を利用して、X、X₂およびX₃より、式(4)に従ってフィルタ係数FC1を算出する。

$$FC1 = X_3 - 2X_2 + 1 \quad (8)$$

[0307] 以上のようにして、第4の実施の形態においては、フィルタ係数セット1に対応して、各要素プロセッサ31で、フィルタ係数セット(FC1、FC2、FC3、FC4)を算出する。

[0308] このように、フィルタ係数セットを各要素プロセッサ31で算出することにより、要素プロセッサ31の外部のメモリ(メモリ28、29など)よりフィルタ係数セットを供給する必要がなく、フィルタ係数セットの供給のタイミングなどを考慮する必要がなくなる。

[0309] 図18は、本発明の第5の実施の形態の構成を示している。

[0310] 第5の実施の形態は、第3の実施の形態のメモリ28Aを取り除いたもので、フィルタ係数セット1を、各要素プロセッサ31で算出するようになされている。

[0311] なお、プログラム制御部27Cのプログラムの動作は、前述の動作を行わせるように変更されているが、その他の構成要素、フィルタ係数の供給時の動作、および、フィルタ係数時の動作は、第3の実施の形態のものと同様であるので、その説明を省略する。

[0312] 次に、図19のフローチャートを参照して、フィルタ係数セット1を算出するときの動作について説明する。

[0313] 最初にステップS81において、要素プロセッサ31は、作業空間としてレジスタZ₀、Z₁、Z₂をそれぞれ確保する。

[0314] 次に、ステップS82において、各要素プロセッサ31は、Z₀、Z₁、Z₂、および、Z₀に等値をそれぞれ代入する。

[0315] ステップS83において、各要素プロセッサ31は、左側の要素プロセッサ31のZ₀の値Z₀と、変換比率をK/1倍(即ち、K:1)としたZ₀との和を演算し、その演算結果を、Z₀に記憶

する。なお、最も左側の要素プロセッサ31は、左側に要素プロセッサ31がないので、Z₀を0として演算を行う。

[0316] ステップS84において、各要素プロセッサ31は、Z₀の値がKより大きいかなどを判断し、Z₀の値がKより大きいと判断した場合、ステップS85において、Z₀の値をKで割算したときの剰余を算出し、その剰余結果をZ₀に代入する。

[0317] 一方、各要素プロセッサ31は、Z₀の値がK以下であるか判断した場合、ステップS85をスキップする。なお、実際には、SIMD制御において処理のスキップを行うことは困難であるので、要素プロセッサ31は、ステップS85をスキップした場合と同一の結果になるように処理を行う。

[0318] そして、ステップS86において、各要素プロセッサ31は、ステップS83乃至ステップS85の動作を、現在取り扱っている画像フォーマットの水平方向の画素数より多く繰り返したか否かを判断し、ステップS83乃至ステップS85の動作を、現在取り扱っている画像フォーマットの水平方向の画素数以下しか繰り返していないと判断した場合、ステップS83に限り、ステップS83乃至ステップS85の動作を再度行う。

[0319] 一方、各要素プロセッサ31は、ステップS83乃至ステップS85の動作を、現在取り扱っている画像フォーマットの水平方向の画素数より多く繰り返したと判断した場合、ステップS87に進む。

[0320] ステップS87において、各要素プロセッサ31は、左側の要素プロセッサ31のZ₀の値Z₀と、しとの和を演算し、その演算結果をZ₀に記憶する。なお、最も左側の要素プロセッサ31は、左側に要素プロセッサ31がないので、Z₀を0として演算を行う。

[0321] 次に、ステップS88において、要素プロセッサ31は、Z₀の値がKの2倍の値より大きいかなどを判断し、Z₀の値がKの2倍の値より大きいと判断した場合、ステップS90に進む。

[0322] 一方、要素プロセッサ31は、Z₀の値がKの2倍の値以下であるか判断した場合、ステップS89において、Z₀の値がKの2倍の値より大きいと判断した場合、Z₀の値をZ₀に代入する。

[0323] そして、ステップS91において、各要素プロセッサ31は、ステップS87乃至ステップS90の動作を、現在取り扱っている画像フォーマットの水平方向の画素数より多く繰り返したか否かを判断し、ステップS87乃至ステップS90の動作を、現在取り扱っている画像フォーマットの水平方向の画素数以下しか繰り返していないと判断した場合、ステップS87に限り、ステップS87乃至ステップS90の動作を再度行

図を分割数が256であるCube16に近似する代わり、最初に、分割数が16のCube16近似を行

い、その分割結果である16のCube16近似の点から、分割数が16の例は第1次近似を行うことにより、全体の細目の処理が抽出される。

[図334] また、画像データは、通常、画素値を含む画素データと、色情報を含む色データで構成されているので、精度度が要求される画素データに対しては、色データより大きい分割数で細目の処理を行うようにしてもよい。

[図335] なお、上記実施の形態においては、主に画像の拡大について説明しているが、画像の縮小を行うことも勿論可能である。また、画像の縮小の場合、入力SAM部22には、入力データが順番通りに密に供給され、出力SAM部25には、出力データが疎に出力されてくる。

[図336] また、上記実施の形態の図8(右端、左端)周辺の要素プロセッサ31においては、演算に利用する入力データを有する周辺の要素プロセッサ31が存在しない場合があるので、その場合においては、その入力データの値を0として演算を行う。

[図337] その他に、例えば、端のデータがその外周に連続している、あるいは、端を中心にしてデータが対称になっていると仮定するなど、画像端辺での処理に様々な方法が考えられる。これらの方法のうち、所定の方法に対応してプログラムを記述することにより、その方法を実現することができる。

[図338] なお、上述のメモリ28、28A、29の容量は、図8の位相の種類や、変換比率に対応する分数の分母または分子に依存する点であり、それほど大きくないので、装置の規模が大きくなるようなことはない。

[図339] [発明の効果] 以上のごとく、請求項1に記載の画像処理装置および請求項3に記載の画像処理方法によれば、所定の分割数で元の画像の画素間隔を分割したときの各位相に対応するフィルタ係数セットを記憶している記憶部から、位相が、細目演算される画素データの位相に最も近いフィルタ係数セットを演算部に出力し、演算部により、フィルタ係数セットを利用して、画素データの細目演算を行うようにしたので、任意の変換比率の画像の拡大または縮小を行うことができる。

[図340] 請求項4に記載の画像処理装置および請求項19に記載の画像処理方法によれば、所定の分割数で元の画像の画素間隔を分割したときの各位相に対応するフィルタ係数セットのうち、位相が、処理される画素データの位相に最も近いフィルタ係数セットを、要素プロセッサにそれぞれ供給し、要素プロセッサが、フィルタ係数セットを利用して、画素データの細目の処理をそれぞれ行うようにしたので、SIMD形式の並列プロセッサを利用して任意の変換比率の画像の拡大または縮小を

[図19] 各要素プロセッサがフィルタ係数セットを演算するときの図18の画像処理装置の動作について説明するフローチャートである。

[図20] 本発明の画像処理装置の第6の実施の形態の情報表示ブロック図である。

[図21] 原画像の一例を示す図である。

[図22] 原画像を拡大した画像の一例を示す図である。

[図23] 原画像の画素と、拡大した画像の画素の位置関係の一例を示す図である。

[図24] 原画像の解像度を高くした画像の一例を示す図である。

[図25] 原画像を縮小した画像の一例を示す図である。

[図26] 原画像の画素と、縮小した画像の画素の位置関係の一例を示す図である。

[図27] 原画像の解像度を低くした画像の一例を示す図である。

[図28] 原画像の画素と、補間により生成される画素の位置関係の一例を示す図である。

[図29] 補間演算の例を示す図である。

[図30] ハードウェア的にフィルタ演算を行う装置の一例を示すブロック図である。

[図31] 図30の装置において行われるフィルタ演算の各サイケルにおける各部の信号の一例を示す図である。

[図32] フィルタ選択部とフィルタ係数セットの対応関係の一例を示す図である。

[図33] ソフトウェア的にフィルタ演算を行う装置の一例を示すブロック図である。

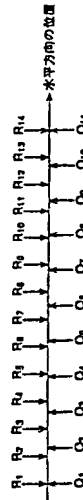
[図34] 図33の装置において、画像の拡大を行う場合における入力データの供給のパターンを一例を示す図である。

[図35] 処理に必要なデータを有する要素プロセッサの位置関係の一例を示す図である。

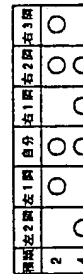
[符号の説明]

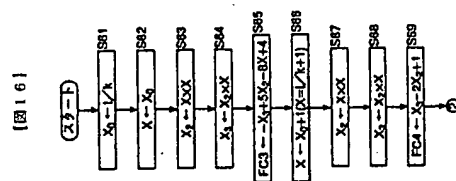
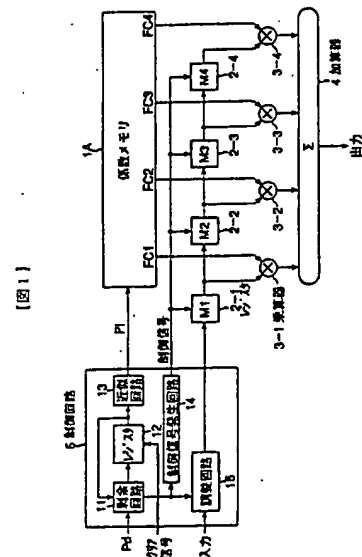
5 制御回路、11 剰余回路、12 レジスタ、13 近似回路、21 入力ポインタ、22 入力SAM部、23 データメモリ部、24 ALUレイアウト、25 出力SAM部、26 出力ポインタ、27、27A、27B、27C、27D プログラム制御部、28、28A、29 メモリ

[図26]

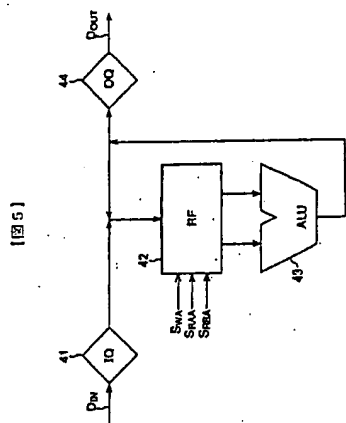


[図10]

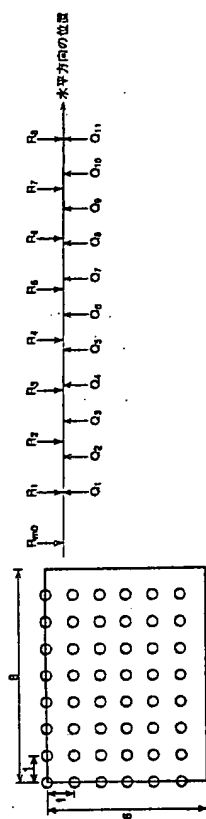
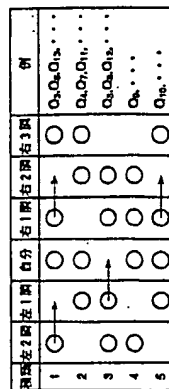
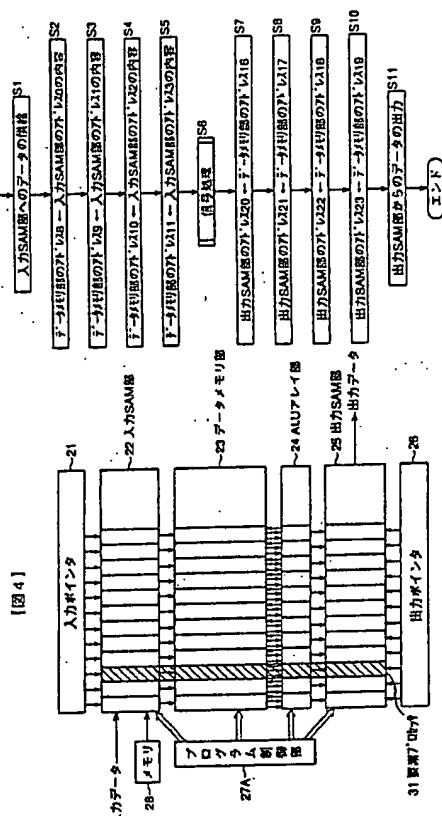




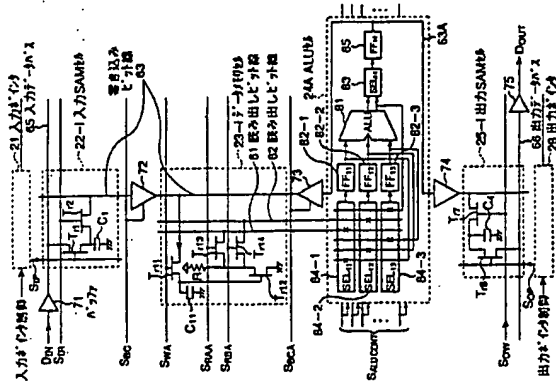
Cl	IPd	割合 (%)	R (0-16)		位相値差
			P_0	P_1	
01	0.0	0.0	P_0 (x=0.0)	P_1 (x=-0.875)	0.0
02	0.2	0.7	P_0 (x=0.125)	P_1 (x=-0.375)	0.0125
03	0.4	0.7	P_0 (x=0.25)	P_1 (x=0.125)	0.025
04	2.1	0.1	P_0 (x=0.375)	P_1 (x=0.625)	0.025
05	2.8	0.8	P_0 (x=0.5)	P_1 (x=0.875)	0.0125
06	3.5	0.5	P_0 (x=0.625)	P_1 (x=0.5)	0.0
07	4.2	0.2	P_0 (x=0.75)	P_1 (x=-0.125)	0.0125
08	4.9	0.9	P_0 (x=0.875)	P_1 (x=-0.625)	0.025
09	5.6	0.6	P_0 (x=1.0)	P_1 (x=-0.875)	0.025
10	6.3	0.3	P_0 (x=1.125)	P_1 (x=-0.375)	0.0125
11	7.0	0.0	P_0	P_1	
12	7.7	0.7	P_1		
13	8.4	0.4	P_1		
14	9.1	0.1	P_1		
15	9.8	0.9	P_1		
16	10.5	0.3	P_1		



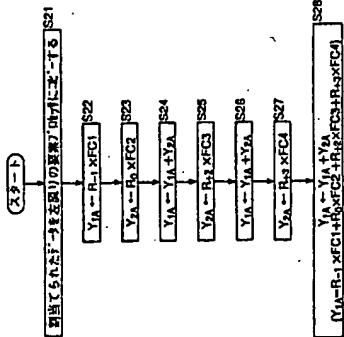
モデル名 変数名	正規化 変数名	F ₁ 対数尤度(小変数変換前)		F ₂ 対数尤度(小変数変換後)		F ₃ 対数尤度(小変数変換後)		F ₄ 対数尤度(小変数変換後)	
		F ₁	F ₂	F ₁	F ₂	F ₁	F ₂	F ₁	F ₂
P ₀	$\frac{1}{10} \sim 0.0$	-0.0549	0.0024	0.0082	-0.0037	-7	127	8	0
P ₁	$\frac{1}{10} \sim 0.0625$	-0.0549	0.0024	0.0082	-0.0037	-12	124	18	-2
P ₂	$\frac{1}{10} \sim 0.125$	-0.0057	0.0707	0.1387	-0.0718	-18	120	28	-4
P ₃	$\frac{1}{10} \sim 0.1875$	-0.1238	0.0303	0.2181	-0.0288	-18	120	28	-4
P ₄	$\frac{1}{10} \sim 0.25$	-0.1408	0.0808	0.2969	-0.0469	-18	114	38	-6
P ₅	$\frac{1}{10} \sim 0.3125$	-0.1477	0.0352	0.3796	-0.0971	-19	107	48	-9
P ₆	$\frac{1}{10} \sim 0.375$	-0.1485	0.0718	0.4629	-0.0879	-19	99	59	-11
P ₇	$\frac{1}{10} \sim 0.4375$	-0.1384	0.7709	0.5482	-0.1077	-18	90	70	-14
P ₈	$\frac{1}{10} \sim 0.5$	-0.1260	0.6550	0.6250	-0.1250	-14	80	80	-16
P ₉	$\frac{1}{10} \sim 0.5625$	-0.1077	0.6252	0.7009	-0.1384	-14	70	90	-18
P ₁₀	$\frac{1}{10} \sim 0.625$	-0.0979	0.4929	0.7715	-0.1465	-11	59	99	-19
P ₁₁	$\frac{1}{10} \sim 0.6875$	-0.0971	0.3768	0.8352	-0.1477	-8	49	107	-19
P ₁₂	$\frac{1}{10} \sim 0.75$	-0.0469	0.2860	0.8906	-0.1406	-6	39	114	-18
P ₁₃	$\frac{1}{10} \sim 0.8125$	-0.0288	0.2181	0.9393	-0.1238	-4	28	120	-16
P ₁₄	$\frac{1}{10} \sim 0.875$	-0.0137	0.1597	0.9767	-0.0957	-2	18	134	-12
P ₁₅	$\frac{1}{10} \sim 0.9375$	-0.0037	0.0962	0.9924	-0.0549	0	8	127	-7



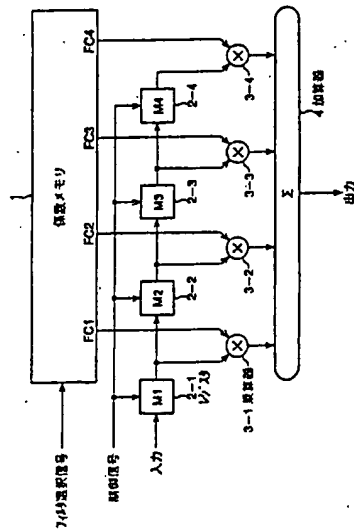
【図6】



【図11】



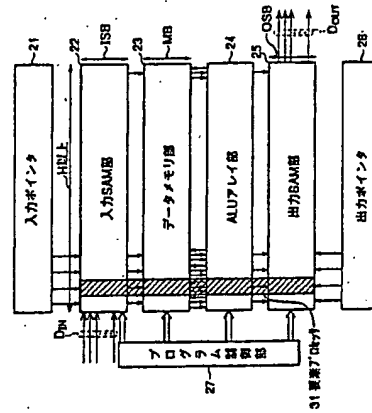
[30]



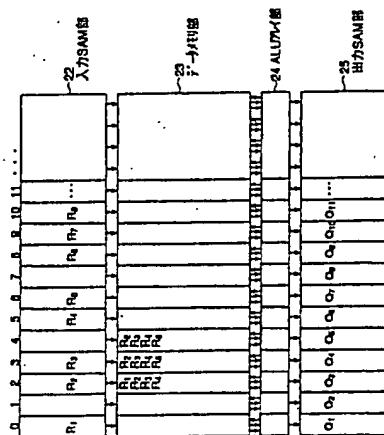
[E31]

サイクル	入力データ	7448選取信号	制御信号	出力データ
1	R1		H	R10
2	R2		H	R11
3	R3		H	R12
4	R4	P0	L	R13
5	R5	P1	L	R14
6	R6	P2	L	R15
7	R7	P3	L	R16
8	R8	P4	L	R17
9	R9	P5	L	R18
10	R0	P6	L	R19
11	R0	P7	H	R20
12	R0	P8	H	R21
13	R0	P9	H	R22
14	R0	P0	H	R23

{ 33 }



【図34】



フロントページの図を

(72) 発明者 中村 憲一郎
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内